

SWITCHED CAPACITOR FILTER

Patent number: JP9199994

Publication date: 1997-07-31

Inventor: YAMANE MASANORI

Applicant: TOSHIBA CORP

Classification:

- international: H03H19/00

- european:

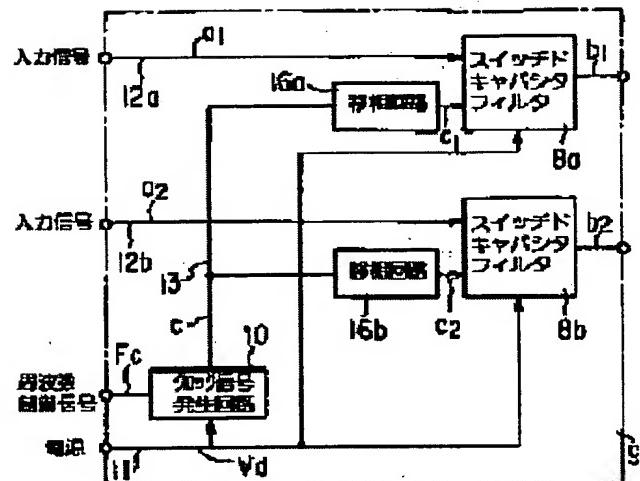
Application number: JP19960003041 19960111

Priority number(s):

Abstract of JP9199994

PROBLEM TO BE SOLVED: To improve the S/N of each output signal from each switched capacitor filter(SCF) even when plural SCFs are assembled on a same board.

SOLUTION: The filter is provided with plural SCFs 8a, 8b with the same filter characteristic receiving input signals a1, a2 via input signal lines 12a, 12b, a clock signal generating circuit 10 giving a clock signal of the same frequency to specify the filter characteristic of each SCF, a power supply path 11 to supply a drive power supply to the clock signal generating circuit and each SCF, and a board 9 on which each SCF, the clock signal generating circuit and the input signal paths and the power supply path are mounted. In this case, a phase between the clock signals is shifted by a prescribed time or over depending on leading and trailing characteristic of the clock signal.



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-199994

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.⁶
H 0 3 H 19/00識別記号 庁内整理番号
9274-5 JF I
H 0 3 H 19/00

技術表示箇所

審査請求 未請求 請求項の数1 O L (全8頁)

(21)出願番号

特願平8-3041

(22)出願日

平成8年(1996)1月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山根 政憲

東京都府中市東芝町1番地 株式会社東芝
府中工場内

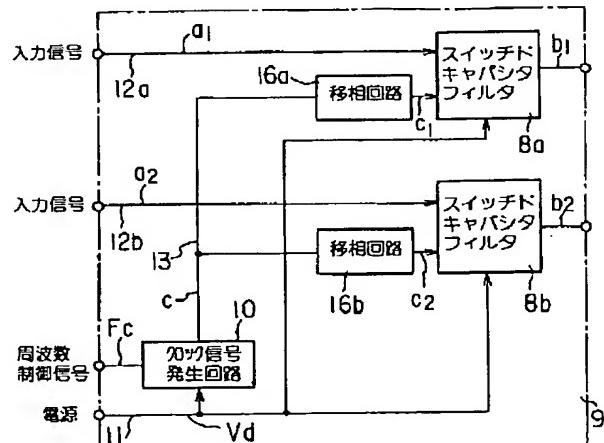
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】スイッチドキャパシタフィルタ装置

(57)【要約】

【課題】 たとえ複数のスイッチドキャパシタフィルタ (S C F) 8 a, 8 bが同一基板9上に組込まれていたとしても、各S C Fからの各出力信号b₁, b₂のS/Nを向上させる。

【解決手段】 各入力信号a₁, a₂が入力信号路12 a, 12 bを介して入力される同一フィルタ特性を有する複数のS C F 8 a, 8 bと、この各S C Fに対してフィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路10と、クロック信号発生回路及び各S C Fに駆動電源を供給するための電源供給路11と、各S C F、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板9をと備えたスイッチドキャパシタフィルタ装置において、各S C Fに供給する各クロック信号相互間の位相をクロック信号の立ち上り・立下り特性で定まる所定要時間△τ以上ずらせる。



【特許請求の範囲】

【請求項1】 それぞれ入力信号路を介して各入力信号が入力される同一フィルタ特性を有する複数のスイッチドキャパシタフィルタと、この各スイッチドキャパシタフィルタに対して前記フィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路と、前記クロック信号発生回路及び各スイッチドキャパシタフィルタに駆動電源を供給するための電源供給路と、前記各スイッチドキャパシタフィルタ、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板とを備えたスイッチドキャパシタフィルタ装置において、前記各スイッチドキャパシタフィルタに供給する各クロック信号相互間の位相を前記クロック信号の立上り・立下り特性で定まる所定時間以上ずらすことを特徴とするスイッチドキャパシタフィルタ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同一フィルタ特性を有する複数のスイッチドキャパシタフィルタを同一基板上に実装したスイッチドキャパシタフィルタ装置に関する。

【0002】

【従来の技術】種々の周波数成分を含むアナログの入力信号から所望の周波数成分を有した信号（出力信号）を抽出するフィルタは、図7に示すように、コイル1やコンデンサ2等の受動素子のみで構成されたパッシブフィルタと、図8に示すように、コンデンサ2や抵抗3等の受動素子の他にリニアIC（増幅器）4等の能動素子を含むアクティブフィルタとが一般に知られている。

【0003】さらに、近年、図9に示すように、複数のコンデンサ5a～5dとリニアIC（増幅器）6と複数のスイッチ回路7a、7bとで構成されるスイッチドキャパシタフィルタ8が実用化されている。

【0004】このような構成のスイッチドキャパシタフィルタ（Switched Capacitor Filter 以下SCFと略記する）8においては、SCF8内に組込まれた各スイッチ回路7a、7bを所定周波数fを有したクロック信号cでオン・オフ制御する。このSCF8のフィルタ特性はクロック信号cの周波数fでほぼ決まる。したがって、アナログの入力信号aに含まれる各周波数成分は前記クロック信号cの周波数fで定まるフィルタ特性で通過または遮断される。その結果、リニアIC6から出力される出力信号bには、前記フィルタ特性で定まる周波数成分のみが含まれる。

【0005】前記クロック信号cの周波数fを高くすると、この周波数fに比例して前記フィルタ特性における通過周波数帯域が変化する。したがって、クロック信号cの周波数fを変化させることによって、SCF8の通

過周波数帯域等のフィルタ特性を簡単に変更できる。

【0006】また、前記リニアIC6及び各スイッチ回路7a、7bは外部から直流の電源電圧Vdが供給されている。図10は上述した構成を有する2つのSCF8a、8bを一つの基板9上に実装したスイッチドキャパシタフィルタ装置を示す模式図である。各SCF8a、8bは同一構成であり、かつ1台のクロック信号発生回路10から共通に信号配線13を介してクロック信号cが印加される。また、外部の共通電源から電源配線11を介して直流の電源電圧Vdが供給されている。

【0007】各SCF8a、8bにはそれぞれ信号配線12a、12bを介して個別に各アナログの入力信号a1、a2が入力され、さらに、各SCF8a、8bから個別にアナログの出力信号b1、b2が出力される。

【0008】このように、複数のSCF8a、8bを一つの基板9に実装したスイッチドキャパシタフィルタ装置においては、複数の信号を同時に同一フィルタ特性で信号処理できるので、一般的のアナログの電子回路に多用されている。

【0009】このようなスイッチドキャパシタフィルタ装置に組込まれる各SCF8a、8bの各スイッチ回路7a、7bの動作タイミングを図11に示す。すなわち、各スイッチ回路7a、7b内に、電源電圧Vdを分圧して得られる比較電圧Vcが形成される。そして、クロック信号cの立上り時に、クロック信号cの信号値が前記比較電圧Vcまで上昇したタイミングでスイッチ回路7a、7bが開放又は閉成される。また、クロック信号cの立下り時に、クロック信号cの信号値が前記比較電圧Vcまで低下したタイミングでスイッチ回路7a、7bが閉成又は開放される。

【0010】

【発明が解決しようとする課題】しかしながら、図10に示す複数のSCF8a、8bを一つの基板9上に実装したスイッチドキャパシタフィルタ装置においても、まだ解消すべき次のような課題があった。

【0011】スイッチドキャパシタフィルタ装置のクロック信号発生回路10、各スイッチ回路7a、7b及びリニアIC6に電源電圧Vdを供給する電源の電源容量にも一定の限界があるので、各回路7a、7b、6が大きく動作するタイミングで消費電力が増大して、図12に示すように、電源電圧Vdの波形に一時的に値が低下する凹部14aからなる雑音が発生する。前述したように、比較電圧Vcは電源電圧Vdを分圧して得られるので、各比較電圧Vcの波形にも同一タイミングで凹部14bからなる雑音が発生する。

【0012】図12に示すように、この凹部14aの雑音が発生している期間内にクロック信号cが立上ると、各スイッチ回路7a、7bの動作タイミングが凹部14bの雑音が発生していない期間に比較して、微小時間Δtだけ前方へ変動する。

【0013】特に、一つのクロック信号cで複数のSCF 8a, 8bを駆動させる場合は、各SCF 8a, 8bの各スイッチ回路7a, 7b及びリニアIC6がほぼ同一タイミングで大きく動作するので、前記各比較電圧Vcにより大きな凹部14bの雑音が発生して、各スイッチ回路7a, 7bの動作タイミングがより大きく変動する。

【0014】この動作タイミングの変動が各SCF 8a, 8bの出力信号b1, b2上に雑音成分として現れ、結果的に出力信号b1, b2のS/Nが低下する。また、各SCF 8a, 8bに組込まれている各スイッチ回路7a, 7bの各比較電圧Vc1, Vc2は、たとえ電源電圧Vdが同一値であったとしても、図13に示すように、完全に同一値ではない。

【0015】したがって、図14に示すように、互いに異なる値の比較電圧Vc1, Vc2に対して、前述した電源電圧Vdの波形における凹部14bの雑音が重畠するので、各スイッチ回路7a, 7bの動作タイミングの変動がより一層増大する。

【0016】さらに、スイッチドキャパシタフィルタ装置を小型に形成するために基板9上に印刷配線された各信号配線12a, 12b, 13は互いに接近しているので、信号相互間に微細なクロストーク現象が発生する。したがって、図15に示すように、入力信号a1, a2の信号波形にクロック信号cからのクロストークに起因する凸部15aや凹部15b等の雑音が発生する。

【0017】そして、この凸部15aや凹部15b等の雑音発生期間内にクロック信号cが立上ったり、立下がった場合は、この雑音発生期間内で各スイッチ回路7a, 7bが動作するので、正しい入力信号a1, a2の信号値でなくて、凸部15aや凹部15bの雑音を含む正しくない信号値を取込むことになり、誤った値の出力信号b1, b2が出力される。

【0018】このように、各リニアIC6や各スイッチ回路7a, 7bの動作に応じて電源電圧Vdや比較電圧Vc1, Vc2が変動したり、各入力信号a1, a2がクロック信号cからのクロストークに起因して値が変動するので、各出力信号b1, b2のS/Nが低下したり、出力信号値の信頼性が低下する。

【0019】本発明は、このような事情に鑑みてなされたものであり、各SCFのスイッチ回路の各比較電圧や各入力信号の各波形に現れる凸部や凹部等の雑音の発生位置を互いにずらすことによって、たとえ複数のSCFが組込まれ、かつ同一周波数のクロック信号を印加したとしても各出力信号のS/Nを大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られる安定したスイッチドキャパシタフィルタ装置を提供することを目的とする。

【0020】

【課題を解決するための手段】上記課題を解消するため

に本発明は、それぞれ入力信号路を介して各入力信号が入力される同一フィルタ特性を有する複数のスイッチドキャパシタフィルタと、この各スイッチドキャパシタフィルタに対してフィルタ特性を規定する同一周波数のクロック信号を送出するクロック信号発生回路と、クロック信号発生回路及び各スイッチドキャパシタフィルタに駆動電源を供給するための電源供給路と、各スイッチドキャパシタフィルタ、クロック信号発生回路、各入力信号路及び電源供給路が実装される基板とを備えたスイッチドキャパシタフィルタ装置において、各スイッチドキャパシタフィルタに供給する各クロック信号相互間の位相をクロック信号の立上り・立下り特性で定まる所定時間以上ずらしている。

【0021】このように構成されたスイッチドキャパシタフィルタ装置においては、クロック信号発生回路から出力されて各SCFの各回路へ供給される各クロック信号相互間の位相はクロック信号の立上り・立下り特性で定まる所定時間以上ずれている。

【0022】したがって、各SCFの各回路が大きく動作するタイミングが互いにクロック信号の立上り・立下り特性で定まる所定時間以上ずれるので、消費電力の最大値の発生時間が各SCF毎に分散され、電源電圧の波形における凹部等の雑音のレベルが小さくなる。したがって、電源電圧の変動量が小さくなり、比較電圧の変動量も小さくなるので、SCFを構成する各回路の動作タイミングが大きく変動することはない。

【0023】また、各SCFの各回路が自己のSCFに対するクロック信号の立上がり又は立下りで動作する期間は、他のSCFの各回路は大きく動作しないので、他のSCFの各回路の動作に起因して自己の回路の動作タイミングを規定する比較電圧が変動することはないので、動作タイミングが大きく変動することはない。

【0024】さらに、各入力信号に各クロック信号の立上り・立下りに起因するクロストークによる凹部又は凸部等からなる雑音が現れるが、各回路が自己のSCFに対するクロック信号の立上り又は立下りで動作する期間内には、自己の入力信号に他のSCFへ印加されるクロック信号に起因するクロストークによる凹部又は凸部等からなる雑音が現れないで、自己の入力信号の信号値を正しく読取ることができる。よって、各SCFから正しい信号値を有する出力信号が得られる。

【0025】

【発明の実施の形態】以下本発明の一実施形態を図面を用いて説明する。図1は実施形態のスイッチドキャパシタフィルタ装置の概略構成を示すブロック図である。図10に示す従来のスイッチドキャパシタフィルタ装置と同一部分には同一符号が付してある。したがって、重複する部分の詳細説明を省略する。

【0026】この実施形態においては、一つの基板9上に2つのSCF(スイッチドキャパシタフィルタ)8

a, 8 bと、1つのクロック信号発生回路19と、2つ
の移相回路16 a, 16 bとが実装されている。

【0027】各SCF8 a, 8 bは、同一構成であり、
前述した図9に示す構成を有する。そして、各SCF8
a, 8 bには、それぞれ信号配線12 a, 12 bを介し
て個別に各アナログの入力信号a1, a2が入力され、
さらに、各SCF8 a, 8 bから個別にアナログの出力
信号b1, b2が输出される。また、各SCF8 a, 8
bは外部の共通電源から電源配線11を介して直流の電
源電圧Vdが供給されている。クロック信号発生回路1
0から出力された周波数fのクロック信号cは信号配線
13を介して各移相回路16 a, 16 bへ入力される。

【0028】このクロック信号発生回路10のクロック
信号cの周波数fは外部から入力される周波数制御信号
Fcにて任意の値に変更可能である。一方の移相回路1
6 aは、例えば図2に示すように、信号路に対して直列
接続された抵抗17 aと並列接続されたコンデンサ18
aとで構成された一種の遅延回路で構成されており、図
3に示すように、入力したクロック信号cを抵抗17 a
とコンデンサ18 aとで定まる時定数に対応する時間τ
1だけ遅延させて、新たなクロック信号c1として一方
のSCF8 aへ印加する。

【0029】他方の移相回路16 aも、抵抗17 bとコン
デンサ18 bとで構成され、入力したクロック信号c
を抵抗17 bとコンデンサ18 bとで定まる時定数に対
応する時間τ2だけ遅延させて、新たなクロック信号c
2として他方のSCF8 bへ印加する。

【0030】そして、一方の遅延時間τ1と他方の遅延
時間τ2との時間差で示される各クロック信号c1, c
2相互間のずれ時間Δτは、クロック信号cの立上り・
立下り特性に基づいて設定されている。例えば、クロック
信号cの立上り・立下りが急峻な場合は、電源電圧V
dの波形や各入力信号a1, a2に電圧降下やクロストー
クを与える時間が短いので、ずれ時間Δτは短く設定
されている。逆に、クロック信号cの上がり・下りが
緩やかな場合は、電源電圧Vdの波形や各入力信号a
1, a2に電圧降下やクロストークを与える時間が長い
ので、ずれ時間Δτは長く設定されている。

【0031】したがって、各SCF8 a, 8 b内に組込
まれた各スイッチ回路7 a, 7 bで電源電圧Vdを分圧
して生成される各比較電圧Vc1, Vc2が等しい場合
は、図3に示すように、一方のSCF8 aの動作タイミング
と他方のSCF8 aの動作タイミングとの間には前記一定のずれ時間Δτが存在する。

【0032】このように構成されたスイッチドキャパシ
タフィルタ装置の動作を図4に示す信号波形図を用いて
説明する。クロック信号発生回路10から出力されたクロ
ック信号cは各移相回路16 a, 16 bでそれぞれτ
1, τ2時間だけ遅延されたクロック信号c1, c2と
して各SCF8 a, 8 bへ入力される。各SCF8 a,

8 bの各スイッチ回路は電源電圧Vdを分圧した各比較
電圧Vc1, Vc2を生成する。そして、各クロック信号
c1, c2の各信号値が対応する各比較電圧Vc1,
Vc2に達した時点でスイッチング動作を行う。この各
SCF8 a, 8 bにおける各スイッチ回路の各動作タイ
ミングt1, t2を図4の最下段に示す。

【0033】各SCF8 a, 8 bは大きな動作時に大き
な電力消費を伴うので、このSCF8 a, 8 bの各動作
タイミングt1, t2に同期して電源電圧Vdの波形に
凹部19 a, 19 bからなる各雑音が発生する。その結果、各SCF8 a, 8 bで形成される各比較電圧V
c1, Vc2の波形にも同一タイミングt1, t2で凹部
20 a, 20 bからなる各雑音が発生する。

【0034】しかし、電源電圧Vdの波形に現れる各凹
部19 a, 19 bからなる各雑音はそれぞれ一つのSC
Fの電力消費に対応するので、図10に示す従来装置の
ように全てのSCF8 a, 8 bが同一タイミングで動作
する場合に比較して、各凹部19 a, 19 bの発生原因
となる各電力消費量はごく僅かである。よって、各凹部
19 a, 19 bからなる各雑音のレベルは非常に小さ
い。

【0035】したがって、各比較電圧Vc1, Vc2の
波形に現れる各凹部20 a, 20 bからなる各雑音レ
ベルも非常に小さい。その結果、たとえ各比較電圧V
c1, Vc2の波形における各凹部20 a, 20 bからなる
雑音発生期間に各クロック信号c1, c2が立上がりつ
たり、立下がつた場合であっても、各SCF8 a, 8 b
の各動作タイミングt1, t2の変動は非常に少ない。

【0036】さらに、各SCF8 a, 8 bの各回路が自
己に対するクロック信号c1, c2の立上がり又は立下
りで動作する期間は、他のSCF8 b, 8 aの各回路は
大きく動作しないので、他のSCF8 b, 8 aの各回路
の動作に起因して自己の回路の動作タイミングt1, t
2を規定する比較電圧Vc1, Vc2が変動すること
はないので、自己の動作タイミングt1, t2が大きく変
動することはない。

【0037】よって、各SCF8 a, 8 bの出力信号b
1, b2上に現れるこの動作タイミングt1, t2変動
に起因する雑音成分は非常に小さくなり、各出力信号b
1, b2のS/Nが大幅に向上升する。その結果、各出力
信号b1, b2のダイナミックレンジも拡大する。

【0038】次に、各入力信号a1, a2の波形に現れる
クロストークに起因する雑音について説明する。各SC
F8 a, 8 bへ入力される各入力信号a1, a2の波
形には、図4に示すように、互いに相手側のSCF8
b, 8 aへ入力されるクロック信号c2, c1からのク
ロストークに起因して、各クロック信号c2, c1の立
上り、立下りに同期する凹部又は凸部21 a, 21 bか
らなる雑音が現れる。

【0039】しかし、図4に示すように、入力信号a1

上に凹部又は凸部 2_1a の現れるタイミングはS C F 8 bの動作タイミング t_2 であり、逆に入力信号 a_2 上に凹部又は凸部 2_1b の現れるタイミングはS C F 8 aの動作タイミング t_1 である。

【0040】したがって、一方のS C F 8 aは自己の入力信号 a_1 において他のS C F 8 bに対するクロック信号 c_2 からのクロストークに起因する凹部又は凸部 2_1a の雑音が発生していない期間の信号値を取込む。同様に、S C F 8 bは入力信号 a_2 において他のS C F 8 aに対するクロック信号 c_1 からのクロストークに起因する凹部又は凸部 2_1b の雑音が発生していない期間の信号値を取込む。

【0041】このように、各S C F 8 a, 8 bは自己に入力される入力信号 a_1, a_2 における凹部又は凸部 $2_1a, 2_1b$ 等の雑音が発生していない期間の信号値を取込むことができる。したがって、各S C F 8 a, 8 bは常に正しい信号値を取込むことができるので、各S C F 8 a, 8 bから正しい信号値を有する出力信号 b_1, b_2 が得られる。

【0042】このように、各S C F 8 a, 8 bに入力されるクロック信号 c_1, c_2 相互間の位相をクロック信号の立上り・立下り特性に基づいて設定される所定時間 $\Delta\tau$ だけずらせることによって、各出力信号 b_1, b_2 のS/Nを大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られる安定したスイッチドキャパシタフィルタ装置を実現できる。

【0043】なお本発明は上述した実施形態に限定されるものではない。図1に示す実施形態においては、各S C F 8 a, 8 bに入力される各クロック信号 c_1, c_2 の位相をずらせる手段として、図2に示すように、抵抗とコンデンサからなるアナログの遅延回路からなる2つの移相回路 $1_6a, 1_6b$ を用いたが、例えば図5に示す一つのシフトレジスタ 2_2 を用いてもよい。

【0044】すなわち、このシフトレジスタ 2_2 は例えば4段からなり、1段目の出力端子Q 1から一方のクロック信号 c_{1A} を取出して一方のS C F 8 aへ印加し、最終段の出力端子Q 4から他方のクロック信号 c_{2B} を取出して他方のS C F 8 bへ印加する。そして、このシフトレジスタ 2_2 のデータ入力端子Dへクロック信号発生回路 1_0 から出力された周波数 f のクロック信号 c を印加する。また、このシフトレジスタ 2_2 のクロック端子C L Kへ前記クロック信号 c の周波数 f の例えれば20倍の周波数 f_2 を有したクロック信号 c_0 が印加される。

【0045】このようなシフトレジスタ 2_2 においては、クロック信号 c_{1A} は元のクロック信号 c に対して、0.05波長分遅延したクロック信号となり、クロック信号 c_{2B} は元のクロック信号 c に対して、0.2波長分遅延したクロック信号となる。なお、波形は元の波形から変化することはない。

【0046】よって、クロック信号 c_{1A} とクロック信号

c_{2B} との間には図6に示すように、0.15波長分のずれ時間 $\Delta\tau_1$ が存在する。このような構成のシフトレジスタ 2_2 においても、各S C F 8 a, 8 bには互いの位相がずれた各クロック信号 c_{1A}, c_{2B} が入力されるので、図1に示した先の実施形態とほぼ同様の効果を得ることができる。

【0047】また、各実施形態においては、それぞれ2つのS C F 8 a, 8 bでスイッチドキャパシタフィルタ装置を構成したが、組込むS C Fの数は特に限定されるものではなく、より多数のS C Fを組むことが可能である。

【0048】

【発明の効果】以上説明したように本発明のスイッチドキャパシタフィルタ装置においては、各S C Fに供給するクロック信号相互間の位相をクロック信号の立上り・立下り特性で定まる所定時間以上にずらしている。したがって、各S C Fのスイッチ回路の各比較電圧や各入力信号の各波形に現れる凹部や凸部等の雑音の発生位置が互い違ないので、たとえ複数のS C Fが組込まれ、かつ同一周波数のクロック信号を印加したとしても各出力信号のS/Nを大幅に向上でき、ダイナミックレンジを拡大でき、かつ常に正しい信号値が得られ、安定した特性を得ることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係わるスイッチドキャパシタフィルタ装置の概略構成を示すブロック図

【図2】 同スイッチドキャパシタフィルタ装置に組込まれた各移相回路を示す詳細ブロック図

【図3】 同各移相回路で移相された各クロック信号相互の位相関係とスイッチドキャパシタフィルタ(S C F)の動作タイミングを示す波形図

【図4】 同スイッチドキャパシタフィルタ装置全体の各動作タイミングを示す波形図

【図5】 本発明の他の実施形態に係わるスイッチドキャパシタフィルタ装置に組込まれたシフトレジスタを示す図

【図6】 同シフトレジスタで移相された各クロック信号相互の位相関係とS C Fの動作タイミングを示す波形図

【図7】 一般的なパッシブフィルタを示すブロック図

【図8】 一般的なアクティブフィルタを示すブロック図

【図9】 一般的なスイッチドキャパシタフィルタを示すブロック図

【図10】 従来のスイッチドキャパシタフィルタ装置の概略構成を示すブロック図

【図11】 スイッチドキャパシタフィルタ(S C F)の動作タイミングとクロック信号との関係を示す波形図

【図12】 従来のスイッチドキャパシタフィルタ装置の問題点を説明するための波形図

【図13】 各スイッチドキャパシタフィルタ(SCF)の動作タイミングとクロック信号及び各比較電圧との関係を示す波形図

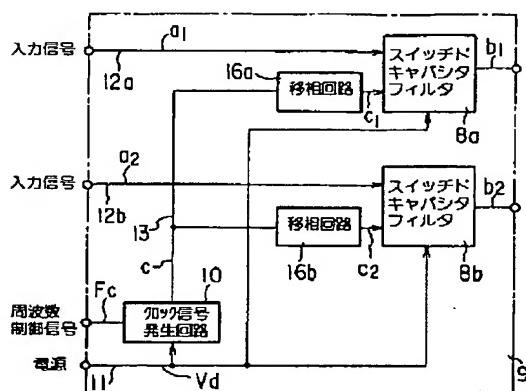
【図14】 各比較電圧値の変動に起因する従来のスイッチドキャパシタフィルタ装置の問題点を説明するための波形図

【図15】 クロック信号からのクロストークに起因して各入力信号に現れる各雑音を示す波形図

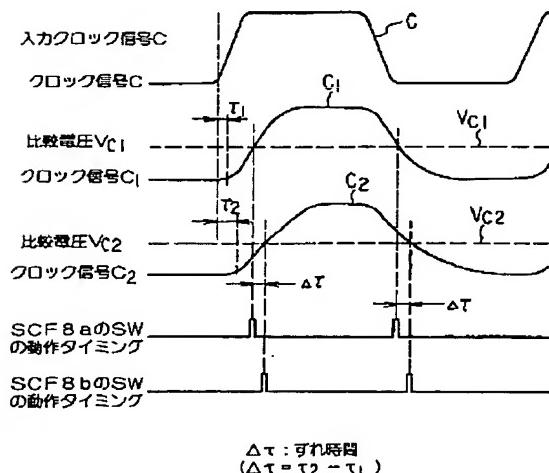
【符号の説明】

7a, 7b…スイッチ回路、6…リニアIC、8a, 8b…スイッチドキャパシタフィルタ(SCF)、9…基板、10…クロック信号発生回路、11, 12a, 12b, 13…信号配線、16a, 16b…移相回路、19a, 19b, 20a, 20b, 21a, 21b…凹部又は凸部、22…シフトレジスタ、a1, a2…入力信号、b1, b2…出力信号、c, c1, c2, c1a, c2b…クロック信号、Vd…電源電圧、Vc1, Vc2…比較電圧、 $\Delta\tau$ …ずれ時間

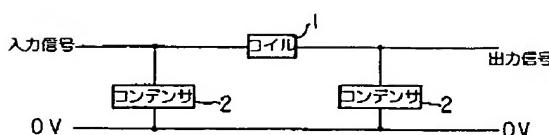
【図1】



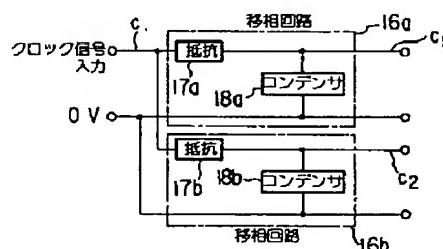
【図3】



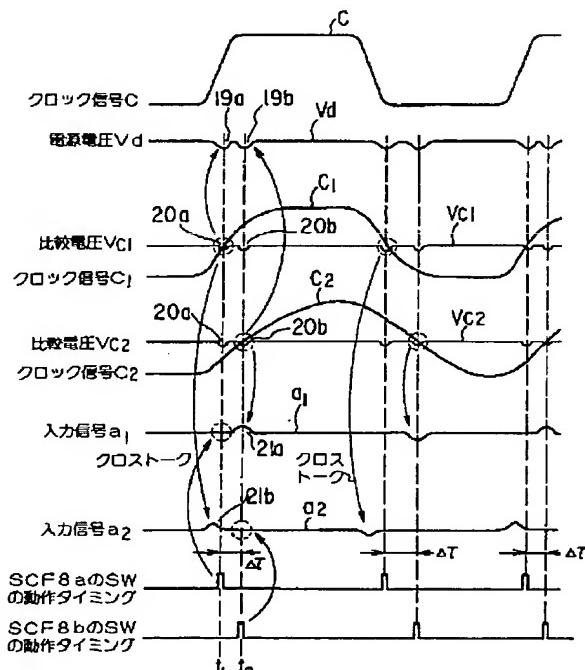
【図7】



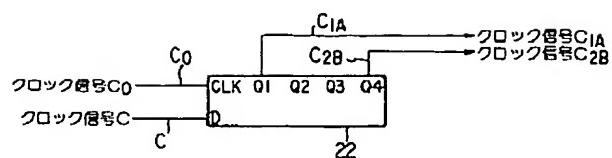
【図2】



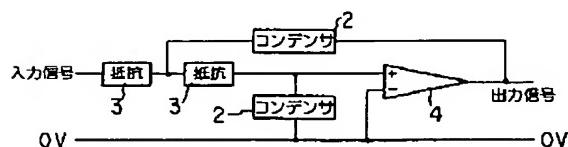
【図4】



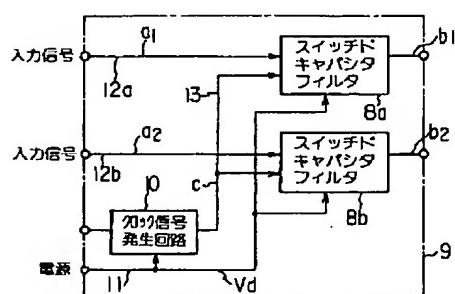
【図5】



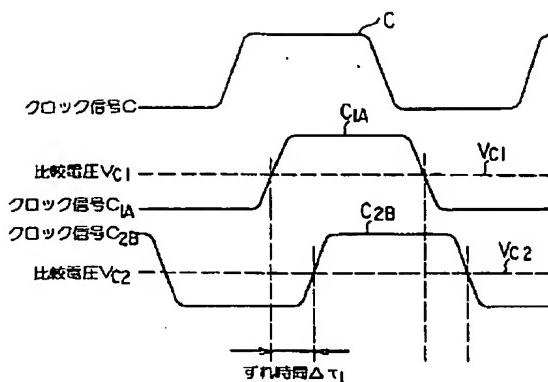
【図8】



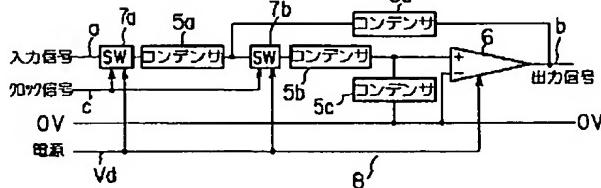
【図10】



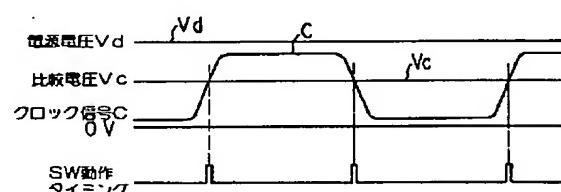
【図6】



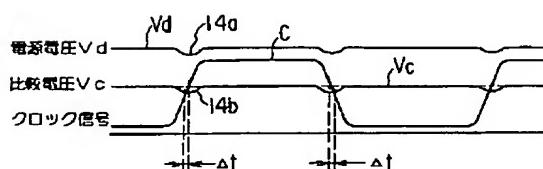
【図9】



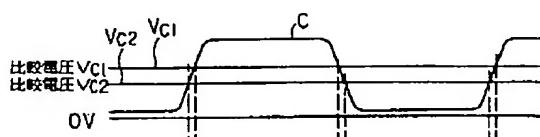
【図11】



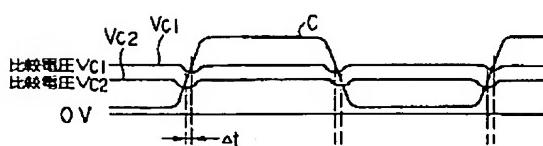
【図12】



【図13】



【図14】



【図15】

